

超低雑音超低オフセット24bitデジタイザー ADC-0324BM

本装置は多チャンネルの信号を超低雑音超低オフセットで収録することを可能にする多チャンネルのVME64に対応した24ビットデジタイザーです。

本装置は、AD変換器だけでなく信号処理を行うFPGAと信号のオフセットを補償するために必要な機能が搭載されています。

本装置の論理回路はほとんどの部分がFPGA内にあることから、仕様の変更が比較的安易に実現できる特徴を持っています。



特徴

高速

高速の24ビットAD変換器を採用

同期して動作

外部クロック・外部トリガー信号を入力することでその信号に同期して動作します

信号のモニタが可能

モニタ用のDACが組み込まれていますので信号のモニタが可能です

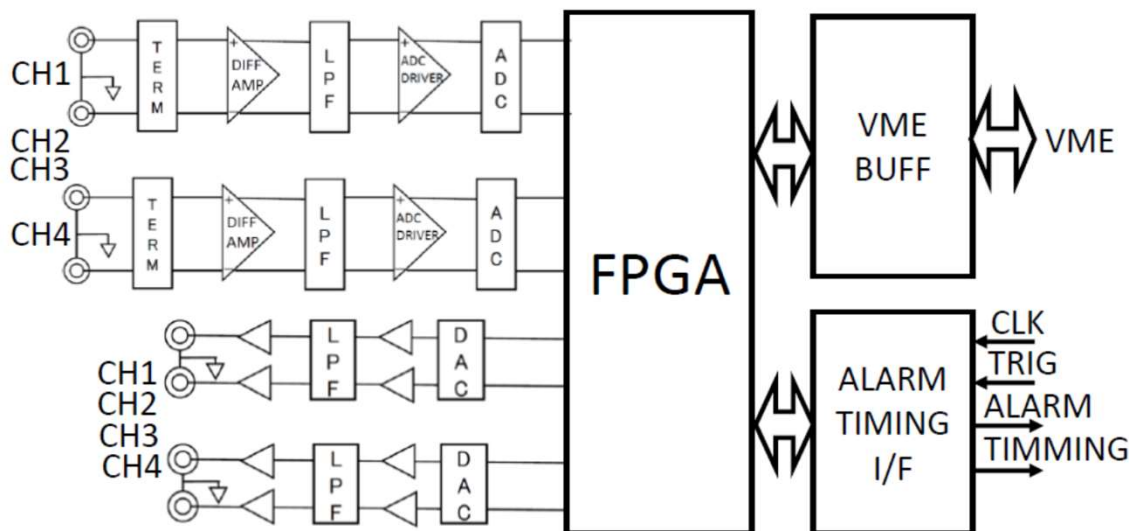
高性能信号処理回路精度

業界屈指と思える低雑音特性と、このデジタル信号処理で2段階で行っているオフセット補償は、よりきめの細かい高精度のデータ取得を可能にしています。

自由度の高い入力回路

本デジタイザーは差動入力、シングルエンド入力に対応しているだけでなく、高入力インピーダンス入力と50Ω入力にも対応しています。

構成



信号処理部 ブロック図



hirak 株式会社 啓

〒252-0243 神奈川県相模原市中央区上溝1880-2

さがみはら産業創造センター SIC3 i-lab 3316号室

hirak

検索

お問合せは：044-987-7368

または、e-mail：cherryhill@hirak.co.jp にご連絡下さい。

超低雑音超低オフセット24bitデジタイザー ADC-0324BM

主な仕様		
アナログ入力	入力インピーダンス	50Ω または 1MΩ
	振幅	5V _{0-p}
	帯域幅	300kHz(±0.1dB)
	SFDR	100dB以上(目標)
	残留オフセット	10μV以下(目標)
	S/N	100dB以上(目標)
	サンプリング周波数	1MHz(16MHz)
	量子化ビット数	24
CLK	入力インピーダンス	Hi-Z
	振幅	CMOS (32MHz)
TRIGGER1	入力インピーダンス	Hi-Z
	論理レベル	TTL・CMOS 3.3V
TRIGGER2	入力インピーダンス	Hi-Z
	論理レベル	TTL・CMOS 3.3V
アナログ出力1	振幅	6V _{p-p}
	帯域幅	200kHz -1dB
	DACサンプリング周波数	2MHz
	量子化ビット	16
	出力インピーダンス	50Ω
アナログ出力2	振幅	6V _{p-p}
	帯域幅	350Hz
	DACサンプリング周波数	10kHz
	量子化ビット	16
	出力インピーダンス	50Ω
アラーム出力		TTL・CMOS 3.3V 2本/CH

カスタマイズ及び専用ボード・装置の御用命も承ります。

* 本仕様は機能性能の向上の為無断で変更されることがあります。



hirak 株式会社 啓

本社・電子技術研究所
〒252-0243
神奈川県中央区上溝188-2
相模原産業創造センター SIC-3 i-lab 3316号室
TEL: 042-707-8734

サテライト・ラボ
〒195-0055
東京都町田市三輪緑山2-4-17
TEL: 044-987-7368 FAX: 044-987-7369